

適応的電流パス制御に基づく低消費電力電流モード 多値VLSIに関する研究

著者	白濱 弘勝
号	54
学位授与機関	Tohoku University
学位授与番号	工博第4265号
URL	http://hdl.handle.net/10097/61769

氏 名 しら はま ひろ かつ
 授 与 学 位 名 白 濱 弘 勝
 学位授与年月日 平成22年3月25日
 学位授与の根拠法規 学位規則第4条第1項
 研究科、専攻の名称 東北大学大学院工学研究科（博士課程）電気・通信工学専攻
 学位論文題目 適応的電流パス制御に基づく
 低消費電力電流モード多値 VLSI に関する研究
 指 導 教 員 東北大学教授 羽生 貴弘
 論文審査委員 主査 東北大学教授 羽生 貴弘 東北大学教授 亀山 充隆
 東北大学教授 末光 眞希 (情報科学研究科)

論文内容要旨

第1章 緒言

現在、先端プロセスを用いた VLSI チップにおける重大な問題として、配線遅延の増大や動的消費電力の増大が指摘されている。

筆者は、これらの問題への対策として、電流モード多値回路技術に着目している。電流モード多値回路は、1 配線で多ビットの情報を転送できるため配線数の削減が可能となる。さらに、多値論理値を対応した電流値で表現することにより、回路中を流れる電流量が制限されるため高動作周波数時において動的消費電力を削減できると同時に、小電圧振幅で動作するため配線遅延を削減できる。

本論文は、電流モード多値回路が従来回路に比べ動的消費電力の面で優位となる動作周波数領域を拡大することを目的としている。これを実現する手法として、制御回路を演算回路に組み込むことにより、定常電流に起因する演算完了後の無駄な消費電力の効率的な削減を可能とする「適応的電流パス制御手法」について提案を行い、応用例を通してその有用性を示す。

第2章 電流モード多値回路に関する基礎的考察

電流モード多値回路に基づく演算器の1ステージでは、図1(a)に示すように、出力生成回路を用いて所望の演算と2値・多値変換、比較回路を用いて多値・2値変換が行われる。これらの回路は、定常電流を用いた電流モード回路に基づき構成される。電流モード回路は、CMOS回路に比べ、小電圧振幅で動作するため演算中の消費電力を小さくできるが、常に回路中に電流パスが存在するため演算完了後の消費電力が大きくなるという傾向がある。これにより、図1(b)に示すように、電流モード多値回路は、2値CMOS回路と比較して、演算完了後の時間が短い高動作周波数時に動的消費電力が小さくできる一方、演算完了後の時間が長い低動作周波数時に動的消費電力が大きくなる。

以下の章では、演算完了後に電流パスを効率的にカットすることにより、電流モード多値回路が、2値CMOS回路に比べ、動的消費電力が小さくなる動作周波数領域の拡大を可能とする、「適応的電流パス制御」について提案を行い、応用例を通してその有用性を示す。

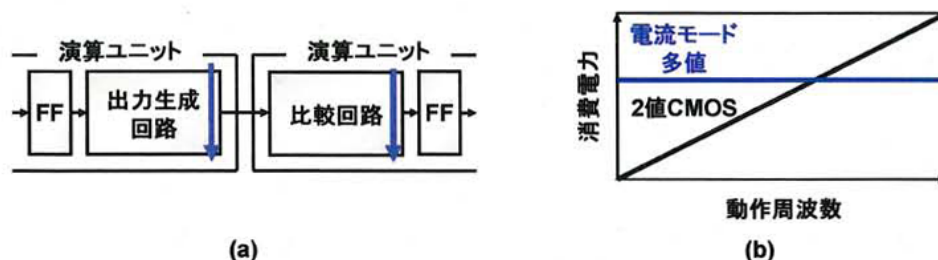


図1. 電流モード多値回路：(a)演算器の1ステージ，(b)動的消費電力の傾向

第3章 ダイナミック電流モード多値回路に基づく 32 ビット演算器の構成

3.1 ダイナミック電流モード多値回路の構成

演算完了後に電流パスを効率的にカットするためには、電流パスの制御信号が、制御回路から演算ユニットに高速に転送される必要がある。そこで、図 2(a)に示すように、演算ユニットの比較回路と制御回路を回路的に一体化した構成を考える。MOS 容量を仮想接地として用いることにより、電流源に電流パス制御機能を与える、「ダイナミック制御」を用いた比較回路を図 2(b)に示す。Discharge 相において MOS 容量を接地レベルまで放電すれば、Evaluate 相において MOS 容量が仮想接地されたため、電流パスがオンとなり演算が行われる。Evaluate 相において一定時間が経過すれば、MOS 容量が充電されるため電流パスがカットされる。このダイナミック制御を用いた電流モード多値回路を「ダイナミック電流モード多値回路」と呼ぶこととする。

3.2 32 ビット演算器への応用

本方式に基づく演算回路の構成例として、ダイナミック 4 値電流モード回路に基づく 32 ビット算術論理演算器 (ALU) を 180nm CMOS ルールで設計する。この 32 ビット演算器は、比較回路、フリップフロップ、出力生成回路を用いて構成される。ここで、ダイナミック制御を用いた比較回路の Evaluate 相と Discharge 相の機能は、それぞれフリップフロップの Through 相と Hold 相の機能と類似しているため、比較回路とフリップフロップを回路的に一体化する。その結果、このチップの面積は、図 3(a)に示すように、 $1120 \times 140 \mu\text{m}^2$ となった。図 3(b)は、このチップのレイアウトから抽出した情報を用いた、HSPICE シミュレーションによる算術演算器の動作波形である。この動作波形から 4 値加算が正常に行われていることが確認できる。

この 32 ビット演算器の動的消費電力は、ダイナミック制御、および比較回路とフリップフロップの回路的な一体化により、図 4 に示すように、従来の 4 値電流モード回路による同等機能の ALU と比較し、200MHz 動作時において 12% までに低減された。これにより、2 値 CMOS 回路による同等機能の ALU と比較し、動作周波数が約 100MHz 以上において動的消費電力の面で優位となった。



図 2. ダイナミック制御を用いた電流モード多値回路 : (a)演算器の 1 ステージ, (b)比較回路

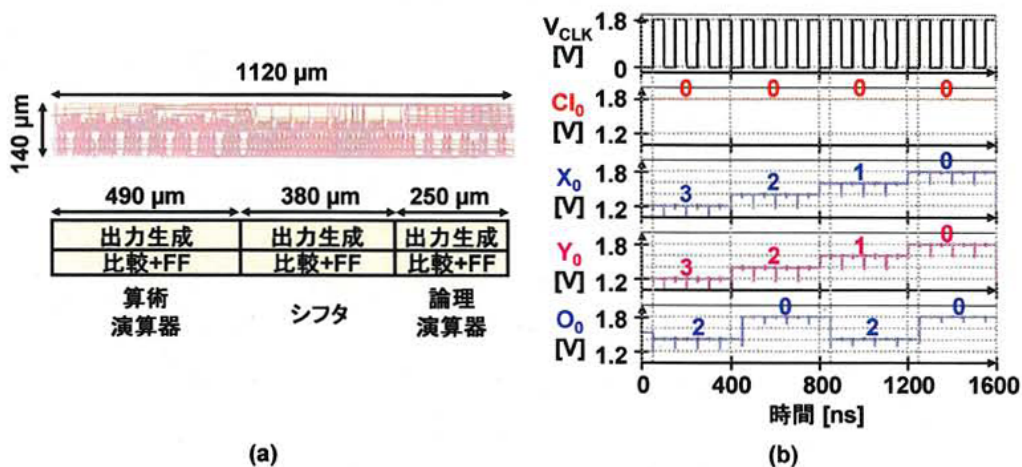


図 3. 32 ビット算術論理演算器 : (a)チップ写真, (b)HSPICE シミュレーションによる動作波形

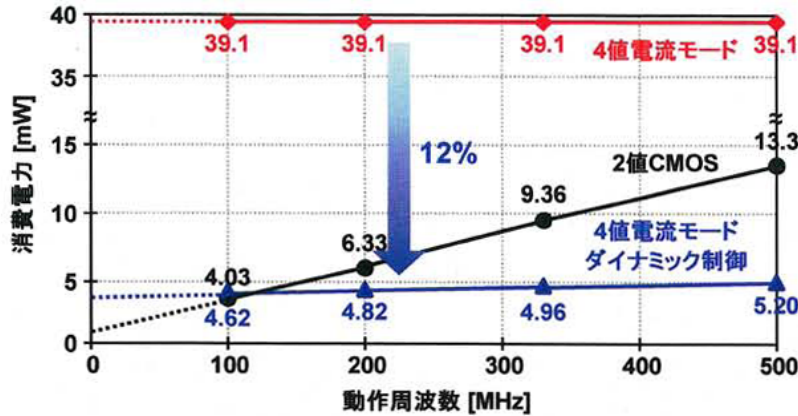


図 4.32 ビット演算器の動作周波数に対する動的消費電力

第4章 演算完了検出電流モード多値回路に基づくメニーコアプロセッサの構成

4.1 演算完了検出電流モード多値回路の構成

ダイナミック制御は、比較回路と制御回路を回路的に一体化した結果、比較回路の演算完了後の消費電力しか削減することができなかった。そこで、図 5(a)に示すように、演算ユニットに制御回路を付加した構成を考える。信号の遷移が完了したことを演算完了として検出し、電流パスをカットする「演算完了検出制御」に用いる制御回路を図 5(b)に示す。フリップフロップの構成要素であるマスターラッチの入出力の一致検出を行うことにより、ラッチの更新遅延の間に信号の遷移が発生しているかを検出できる。信号の遷移が発生していないならば、演算が完了しているとみなし、比較回路と出力生成回路の電流パスをカットする。この演算完了検出制御を用いた電流モード多値回路を「演算完了検出電流モード多値回路」と呼ぶこととする。

4.2 メニーコアプロセッサへの応用

本方式の有用性を示す典型的な応用例として、演算完了検出 4 値電流モード回路に基づく、メニーコアプロセッサを 90nm CMOS ルールで設計する。図 6(a)に示す 2 ビット演算ユニットを数千個用いて構成されるメニーコアプロセッサを考える。このプロセッサでは、演算ユニット間で Peer-to-Peer データ転送が行われるため、演算遅延が大きく変動するが、演算遅延が 1ns, 0.2ns の両方の場合に対応した適応的電流パス制御が行われていることが図 6(b)に示した HSPICE シミュレーションによる動作波形から確認できる。

この 2 ビット演算ユニットの動的消費電力は、演算完了検出制御により、図 7 に示すように、従来の 4 値電流モード回路による同等機能の 2 ビット演算ユニットと比較し、200MHz 動作時において 27% までに低減された。これにより、2 値 CMOS 回路による同等機能の 2 ビット演算ユニットと比較し、動作周波数が約 300MHz 以上において動的消費電力の面で優位となった。その結果、表 1 に示すように、1 次元 Fourier 変換、2 次元 Wavelet 変換のベンチマークを実行した場合、演算完了検出 4 値電流モード回路に基づくメニーコアプロセッサの動的消費電力は、従来 4 値電流モード回路、2 値 CMOS 回路に基づく 2 ビット演算ユニットを用いたメニーコアプロセッサと比較し、それぞれ約 30%、約 90% までに低減された。

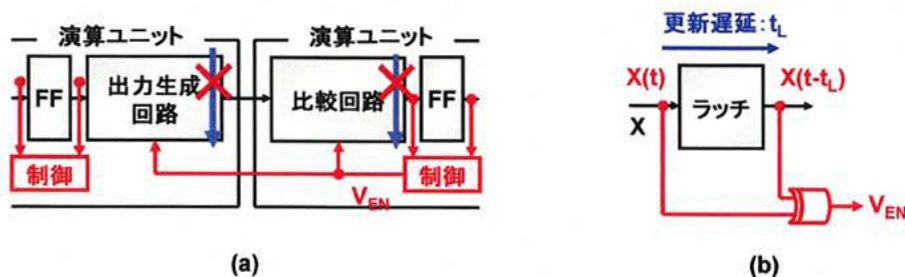


図 5. 演算完了検出制御を用いた電流モード多値回路 : (a)演算器の 1 ステージ, (b)制御回路

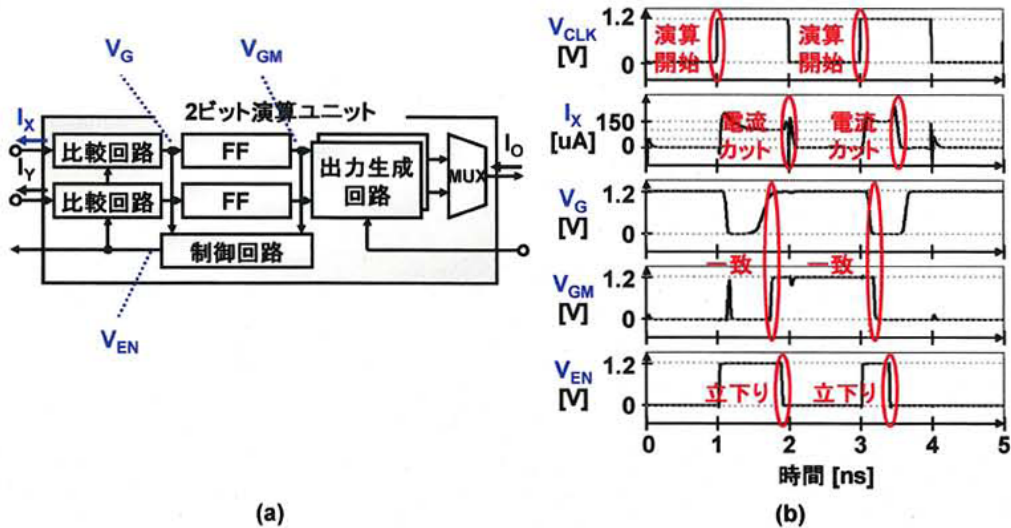


図 6.2 ビット演算ユニット : (a)ブロック図, (b)HSPICE シミュレーションによる動作波形

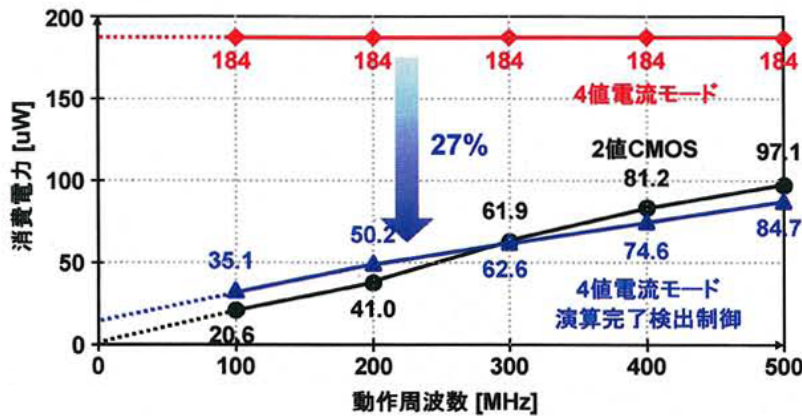


図 7.2 ビット演算ユニットの動作周波数に対する動的消費電力

表 1. ベンチマークを実行した場合のメニーコアプロセッサの動的消費電力の見積り

	2値CMOS	4値電流モード	演算完了検出 4値電流モード
1次元 Fourier変換	17.2 [mW]	48.6 [mW]	15.6 [mW]
2次元 Wavelet変換	14.2 [mW]	38.0 [mW]	12.6 [mW]

第5章 結言

先端プロセスを用いた VLSI における問題への対策として電流モード多値回路技術が有効であることを示し、その低消費電力性を向上する手法として適応的電流パス制御を提案してきた。まず、定常電流を生成する電流源に着目し、仮想設置として用いた容量が充電されると電流パスをオフ状態にするダイナミック制御を提案し、電流モード多値回路に基づく 32 ビット演算器の消費電力を約 12 パーセントに削減した。さらに、演算完了が内部信号の遷移完了とみなせることに着目し、演算中の内部信号の遷移が完了したことを検出し演算ユニットの電流パスをオフ状態にする演算完了検出制御を提案し、電流モード多値回路に基づくメニーコアプロセッサの消費電力を約 30 パーセントに削減した。

論文審査結果の要旨

現在の CMOS 集積回路の性能を超える低消費電力 VLSI プロセッサの開発が望まれている。著者は、電流パスを適応的に制御することにより、低消費電力性を達成する電流モード多値回路方式を考案し、その有用性を実証した。本論文は、その成果を取りまとめたもので、全文 5 章より構成される。

第 1 章は、緒言である。

第 2 章では、差動対回路を構成要素とする電流モード多値差動ロジックの動作解析を与えている。差動対回路の持つ高い電流駆動能力と、差動対回路の積上げ構造に基づく豊富な論理機能による回路構成原理を示すと共に、低消費電力化と高速化を両立させる上での問題点を明確にしている。

第 3 章では、差動対回路のソース結合部（接地）への電流パスを MOS 容量で分離して定常電流を完全に遮断した、ダイナミック電流モード多値回路方式を考案している。Precharge 相のとき MOS 容量を接地レベルまで放電すれば、Evaluate 相のとき MOS 容量が仮想接地されることに着目した回路動作を考案し、貫通電流を排除した低消費電力性が達成されることを明らかにしている。本方式に基づく演算回路の構成例として、32 ビット算術論理演算器（ALU）を 180 nm CMOS ルールで設計したところ、従来の電流モード多値回路による同等機能の ALU と比較し、演算時間を同程度に維持したまま、動的消費電力を 12% までに低減できることを実証した。これは低消費電力性を達成する新しい回路構成方式として重要な成果である。

第 4 章では、電流モード多値回路を、演算回路のみならずデータパス系全般に利用した際に低消費電力化を図るため、演算完了信号を用いて無駄な消費電力を徹底的に削減する電流パス制御方式を考案している。まず、基本演算ユニットの後段に置かれたラッチ回路の出力を監視することで、演算ユニットの演算完了状態が検出できる。この完了状態が検出できれば、基本演算ユニットへの電力供給が不要となる（すなわち、基本演算ユニットの前段は非稼働状態にしてよい）ことに着目し、前段の基本演算ユニットにおける電流パスを遮断する。この結果、データパス系全体に対して、基本演算ユニットレベルできめ細かく消費電力を制御できることを明らかにしている。本回路方式の有用性を示す典型的な応用例として、メニーコアプロセッサを 90 nm CMOS ルールで設計したところ、従来までの電流モード多値回路による同等機能の実現と比較し、同程度の演算速度を維持しながら動的消費電力を 2/3 程度に低減できることを実証した。これは応用上有用な成果である。

第 5 章は、結言である。

以上要するに本論文は、高速動作可能な差動対回路における定常電流を適応的に制御する高性能多値集積回路の構成法を提案し、VLSI システムの低消費電力化に有用であることを明らかにしたもので、集積回路工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。